计算题：

1. 设机器数字长为8位（含1位符号位在内），写出对应下列各真值的原码、补码和反码。

-13/64，29/128，100，-87

1. 已知[x]补，求[x]原和x。

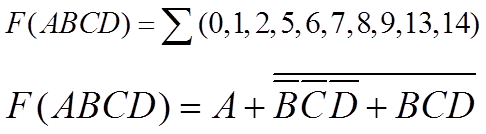
1)[x]补=1.1100；

5) [x]补=1,0101；

1. 当十六进制数9BH和FFH分别表示为原码、补码、反码、移码和无符号数时，所对应的十进制数各为多少（设机器数采用一位符号位）？

4、6.12 将十进制数转换为二进制：  
 x2= -27/1024

5、利用卡诺图法化简下列函数



6、用原码一位乘和补码一位乘（Booth算法）计算x•y。

（1）x= 0.110 111，y= -0.101 110；

7、按机器补码浮点运算步骤计算[x+y]补

（1）x=2-011× 0.101100，y=2-010×（-0.011100）；

二、存储器部分：

8、假设CPU执行某段程序时共访问Cache命中4800次，访问主存200次，已知Cache的存取周期是30ns，主存的存取周期是150ns，求Cache的命中率以及Cache-主存系统的平均访问时间和效率，试问该系统的性能提高了多少？

9、设CPU有16根地址线，8根数据线，用 （低电平有效）作访存控制信号，R/ 作读写控制信号（高电平为读，低电平为写），现有1K×4位、4K×8位的RAM芯片，2K×8位，4K×4位的ROM芯片，以及74l38译码器和各种门电路，画出CPU与存储器连接图，图中标明信号线的方向、种类和条数；并写出每片RAM芯片的地址范围（用十六进制描述）。

要求：主存地址空间分配：A000H---A7FFH为系统程序区； A800H---AFFFH为用户程序区。

10、一个4体低位交叉的存储器，假设存取周期为T，CPU每隔1/4存取周期启动一个存储体，试问依次访问64个字需多少个存取周期？

11、cache映射题

三、指令系统题

12、设指令字长为16位，采用扩展操作码技术，每个操作数的地址为6位。如果定义了13条二地址指令，试问还可安排多少条一地址指令？

13、某机指令字长16位，每个操作数的地址码为6位，设操作码长度固定，指令分为零地址、一地址和二地址三种格式。若零地址指令有M种，一地址指令有N种，则二地址指令最多有几种？若操作码位数可变，则二地址指令最多允许有几种？

14、设相对寻址的转移指令占两个字节，第一个字节是操作码，第二个字节是相对位移量，用补码表示。假设当前转移指令第一字节所在的地址为2000H，且CPU每取出一个字节便自动完成（PC）+1→PC的操作。试问当执行“JMP \*+8”和“JMP \*-9”指令时，转移指令第二字节的内容各为多少？补充：操作数的有效地址是多少？

15、**某机器指令格式如下所示：**



**设（PC）=5431H，（R1）=3525H，（R2）=6783H（H代表十六进制数），请确定下列指令的寻址方式和有效地址。**（假定主存按字节寻址处理）

**（1）8341H （2）1468H （3）8100H （4）6264H**

IO系统与中断处理部分

16．设某机有三个中断源，其优先级次序为A >B >C，系统允许多重中断，每个中断源的中断服务程序时间均为T。在下图所示时间共发生5次中断请求，①为A中断源发出的请求信号，②为A中断源发出的请求信号，③为A中断源发出的请求信号，请画出中断服务程序运行轨迹。

**0**

***t***

**程序**

**A**

**服务**

**B**

**服务**

**C**

**服务**

**主程序**

**T**

**2T**

**6**

T

**5**

**T**

**4**

T

**3**

**T**

**①**

**③**

**②**

**③**

**①**

**17.设某机有五个中断源L0、L1、L2、 L3、L4，按中断响应的优先次序由高向低排序为L0→L1 →L2 →L3 →L4，现要求中断处理次序改为L1→L4 →L2 →L0 →L3，根据下面的格式，写出各中断源的屏蔽字。**

18. 有四个中断源１#、２#、３#、４#，分属四级中断１级、２级、３级、４级，CPU响应顺序为１级→２级→３级→４级，其中１级优先级最高，４级优先级最低（假定CPU运行的现行程序优先级最低）。要求 CPU处理顺序为2级→４级→1级→3级。写出各级中断屏蔽字；在某时刻四级中断源同时提出中断请求，画出CPU的运行轨迹。

概念问答：

1. 存储器的层次结构主要体现在什么地方？为什么要分这些层次？计算机如何管理这些层次？

答：1）存储器的层次结构主要体现在Cache—主存和主存—辅存这两个存储层次上。

2）Cache—主存层次主要解决CPU和主存速度不匹配的问题，在存储系统中主要对CPU访存起加速作用。从CPU的角度看，该层次的速度接近于Cache，而容量和每位价格却接近于主存。这就解决了存储器的高速度和低成本之间的矛盾；

主存—辅存层次主要解决存储系统的容量问题，在存储系统中主要起扩容作用。从程序员的角度看，其所使用的存储器的容量和每位价格接近于辅存，而速度接近于主存。该层次解决了大容量和低成本之间的矛盾。

3）主存与Cache之间的数据调度是由硬件自动完成的，对程序员是透明的。而主存—辅存之间的数据调动，是由硬件和操作系统共同完成的。换言之，即采用虚拟存储技术实现。

2、说明存取周期和存取时间的区别。

答：存取时间是指存储器完成一次读/写所用的时间，即从本次读/写开始至本次读/写结束；而存取周期是指相邻两次读/写操作之间的时间间隔，即从本次读/写开始至下一次读/写开始。因此存取周期要略长于存取时间。

（具体要分读写两种不同操作来分析：

读周期=读出时间+片选失效到地址失效的时间

写周期=滞后时间+写入时间+写恢复时间）

3、试比较静态RAM和动态RAM。

1. 静态RAM的特点：依靠双稳态触发器保存信息，不断电信息不丢失；功耗较大，集成度较低，速度快，每位价格高，适合于作Cache或存取速度要求较高的小容量主存。
2. 动态RAM的特点：依靠电容存储电荷来保存信息，需刷新电路进行动态刷新；功耗较小，集成度高，每位价格较低，适合于作大容量主存。

4、简述动态RAM的各种刷新方式及其特点。

答案要点：动态RAM的刷新方式有集中式刷新、分散式刷新、异步式刷新和透明式刷新等四种方式。

集中式刷新的特点：在最大刷新间隔时间内，集中安排一段时间进行刷新。其缺点是进行刷新时必须停止读、写操作。这对主机而言是个“死区”

分散式刷新的特点：刷新工作安排在系统的存取周期内进行，对主机而言不再有“死区”。但该方式加长了系统的存取周期，存在无谓刷新，降低了整机运行效率。因此，分散方式刷新不适用于高速存储器。

异步式刷新的特点：结合了上述两种方式的优点，充分利用了最大刷新间隔。相对于分散式刷新而言，它减少了刷新次数；相对于集中方式来说，主机的“死区”又缩短很多。因此，这种方式使用得比较多。

透明式刷新的特点：该方式不占用CPU时间，对CPU而言是透明的操作；但控制线路复杂。

5. 以全相联映射技术为例，说明在带有Cache的存储系统中，“读”操作是怎样完成的。

答：当CPU发出主存地址后，地址映射机构按照全相联映射方式将主存地址标记与Cache所有字块的标记进行比较，以判断出所访主存字（主存地址的内容）是否已在Cache中。若命中，直接访问Cache，将该字送至CPU；若未命中，一方面要访问主存，将该字传送给CPU，与此同时，要按照全相联映射方式转换的Cache地址将该字所在的主存块装入Cache，如果此时Cache已装满，就要执行替换算法，腾出空位才能将新的主存块调入。

6. 简述Cache-主存地址映射有哪几种方式，以及各自的优缺点。

答：Cache-主存地址映射有直接映射方式、全相联映射方式和组相联映射方式三种。

直接映射方式的特点：主存的字块只可以和固定的Cache字块对应，优点是方式直接，硬件实现电路简单，成本低；缺点是利用率低，同时命中率和效率较低。

全相联映射方式主存中的字块可以和Cache的任何字块对应，优点是方式灵活，利用率高；缺点是所需逻辑电路复杂，使用成本太高。

组相联映射方式是对前两种映射方式的折衷，组间全相联，组内直接映像。其特点是集中了两个方式的优点，成本也不太高，是目前应用最为广泛的Cache映射方式。

7. 什么是指令周期？指令周期是否有一个固定值？为什么？

解：1）指令周期是指CPU每取出并执行一条指令所需的全部时间。

2）由于计算机中各种指令执行所需的时间差异很大，因此为了提高CPU运行效率，即使在同步控制的机器中，不同指令的指令周期长度都是不一致的，也就是说指令周期对于不同的指令来说不是一个固定值。

3）指令周期长度不一致的根本原因在于设计人员，为了提高CPU运行效率而这样安排的，指令功能不同，需完成的微操作复杂程度亦不同，因此，不同指令的指令周期也不同。

8. 画出指令周期的流程图，分别说明图中每个子周期的作用。

解答：流程图见教材P343。

取指周期：完成取指令和分析指令的操作。

间址周期：取操作数的有效地址。

执行周期：执行指令的操作。

中断周期：将程序断点保存到存储器。

9. 什么是指令周期、机器周期和时钟周期？三者有何关系？

解：CPU每取出并执行一条指令所需的全部时间叫指令周期；机器周期是在同步控制的机器中，所有指令执行过程中（执行一步相对完整的操作）的一个基准时间，通常以访问一次存储器所需的时间作为一个机器周期；时钟周期是指计算机主工作时钟的周期时间，它是计算机运行时最基本的时序单位，通常时钟周期=计算机主频的倒数。

三者之间的关系：指令周期常常用若干个机器周期数来表示，机器周期也叫CPU周期；而一个机器周期又包含若干个时钟周期（也称为节拍脉冲或T周期）。

10.简述微程序控制器的工作原理和工作过程。

这是微程序控制器的工作原理：

将控制器所需要的微操作命令，以微代码的形式编成微指令，存在专门的控制存储器中，CPU执行机器指令时，从控制存储器中取出微指令，对微指令中的操作控制字段进行解释，即产生执行机器指令所需的微操作命令序列。

微程序控制器的工作过程如下：

首先将用户程序的首地址送至PC,然后进入取指阶段。

1）取机器指令：从控制存储器中读取“取指微程序”，用产生的微命令控制CPU访存，读取机器指令，并送入指令寄存器IR。

2）形成微程序入口地址：根据机器指令的操作码，通过微地址形成电路，产生与该机器指令对应的微程序入口地址，并送入CMAR。

3）逐条取出机器指令对应的微程序并执行之。

4）返回取指微指令，开始又一条机器指令的执行。如此不断重复，直到整个程序执行完为止。

11. 试分析比较组合逻辑控制器和微程序控制器的优缺点。

组合逻辑控制器的优点：速度快；

组合逻辑控制器的缺点：设计不规整，指令系统调整和扩充很难；

微程序控制器的优点： ①结构规整，设计效率高； ②易于修改和扩展指令系统功能；

微程序控制器的缺点： ①执行速度较慢； ②执行效率不高

12.**I/O设备与主机交换信息时，共有哪几种控制方式？简述它们的特点。**

I/O设备与主机交换信息时，共有5种控制方式：程序查询方式、程序中断方式、DMA方式、I/O通道方式和I/O处理机方式。其中前3种方式是基本的且广泛应用的控制方式。

**程序查询方式的特点：**控制简单，硬件开销小；CPU与外设是串行工作的，系统效率低。适用于CPU不太忙且传送速度要求不太高的场合。

**程序中断方式的特点**：CPU和外设可并行工作，提高了CPU的效率，不仅适于主机和外设之间的数据交换，还特别适于对外界随机事件的处理。适用于CPU较忙，传送速度不太高的系统中，尤其适合实时控制及紧急事件的处理。

**DMA方式的特点：**完全由硬件（DMA控制器）负责完成信息交换，信息传递从以CPU为中心，转为以内存为中心，CPU和外设可并行工作，对高速大批量数据传送特别有用。但缺点是只能进行简单数据交换，电路结构复杂，硬件开销大。

**13 .CPU响应中断的条件是什么?**

CPU响应中断的条件可以归纳为三条：

1）有中断请求；

2）CPU允许中断，即中断允许状态IF=1（或EINT=1）；

3）一条指令执行结束。

**14. 试比较单重中断和多重中断服务程序的处理流程，说明它们不同的原因。**

**1）二者的比较可用两种中断的服务程序流程图（见教材P201）的对比来说明，此处略。**

**2）**单重中断和多重中断的区别在于“开中断”的设置时间不同。对于单重中断，开中断指令设置在最后“中断返回”之前，意味着在整个中断服务处理过程中，不能再响应其他中断源的请求。而对于多重中断，开中断指令提前至“保护现场”之后，意味着在保护现场之后，若有更高级别的中断源提出请求，CPU也可以响应，从而实现中断嵌套，这是二者的主要区别。

**15. 结合DMA接口电路说明其工作过程。**

DMA的数据传送过程可分为预处理、数据传送和后处理3个阶段。工作过程如下图所示：



**各阶段完成的工作如下：**

1) **预处理阶段**：CPU执行主程序实现DMA传送的初始化设置；

2）**数据传送阶段**：由DMA控制器实现内存和外设间的数据传送。

3）**后处理阶段：**中断处理程序判断传送的正误，，对写入主存的数据进行校验，完成善后工作。

**16.以硬盘读写为例，说明在主机和外设之间进行数据传送，为什么需要采用DMA方式？**

**参考答案要点：**

一些高速外设，如硬盘、光盘等I/O设备，经常需要和主存进行大批量的数据交换；若采用程序查询方式或程序中断方式来完成，即通过CPU执行程序来完成数据交换，速度较慢，极可能造成数据的丢失，因而不能满足批量数据的高速传递需求。因此，需要借助于硬件，比如DMA控制器来实现主存和高速外设之间的直接数据传送。

**17.中断周期前是什么阶段？中断周期后又是什么阶段？在中断周期CPU应完成什么操作？**

1）中断周期前是一条指令的执行周期；

2）中断周期后是取指周期（取中断服务程序的第1条指令）；

3）中断周期中，CPU由硬件（中断隐指令）完成如下操作:

①保护程序的断点；

②关中断；

③转中断服务程序入口。